

SEMICONDUCTOR DEVICE

Patent Number: JP8018009
 Publication date: 1996-01-19
 Inventor(s): FUKUMOTO HARUTSUGU; others: 03
 Applicant(s): NIPPONDENSO CO LTD
 Requested Patent: ☐ JP8018009
 Application Number: JP19940152365 19940704
 Priority Number(s):
 IPC Classification: H01L27/04; H01L21/822
 EC Classification:
 Equivalents: JP3401918B2

Abstract

PURPOSE: To provide a semiconductor device wherein a voltage is applied to a MOSFET by a single power supply and the threshold voltage of the same MOSFET is controlled.

CONSTITUTION: On a single crystalline silicon substrate 1, SOI layers 3 and 4 are formed through a buried insulation layer 2. On the SOI layer 3, an N- channel MOSFET 7 is formed, and on the SOI layer 4, a P-channel MOSFET 10 is formed. On the single crystalline silicon substrate 1, SOI layers 12 and 13 are formed through the buried insulation layer, and further, on the SOI layer 12, an N-channel MOSFET 16 is formed, and on the SOI layer 13, a P- channel MOSFET 19 is formed. A bias voltage circuit 21 is constituted at the MOSFETs 16 and 19, and bias voltage is generated by the bias voltage circuit 21, and then, through a wiring 25, bias voltage is applied to the single crystalline silicon substrate 1.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-18009

(43)公開日 平成8年(1996)1月19日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04 21/822			H 0 1 L 27/ 04	G

審査請求 未請求 請求項の数5 O L (全 10 頁)

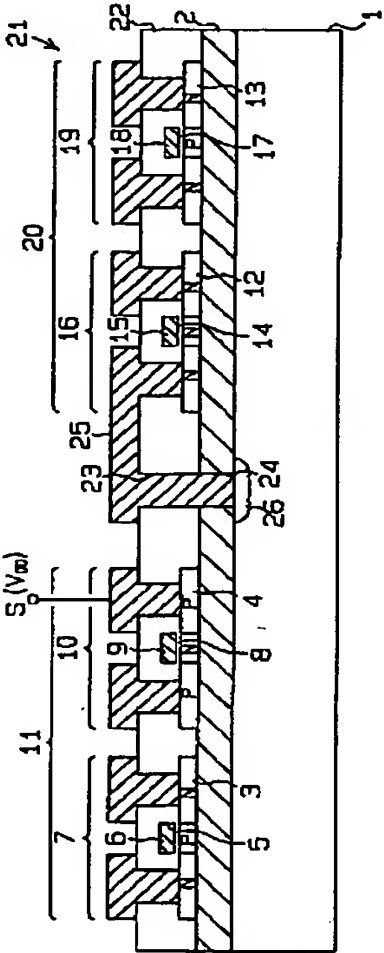
(21)出願番号	特願平6-152365	(71)出願人	000004260 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地
(22)出願日	平成6年(1994)7月4日	(72)発明者	福本 晴繼 愛知県刈谷市昭和町1丁目1番地 日本電装 株式会社内
		(72)発明者	市川 浩司 愛知県刈谷市昭和町1丁目1番地 日本電装 株式会社内
		(72)発明者	浅井 昭喜 愛知県刈谷市昭和町1丁目1番地 日本電装 株式会社内
		(74)代理人	弁理士 恩田 博宣
		最終頁に続く	

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 単一電源にてMOSFETに電圧を印加するとともに同MOSFETのしきい値電圧を制御することが可能となる半導体装置を提供することにある。

【構成】 単結晶シリコン基板1上に埋め込み絶縁体層2を介してSOI層3, 4が形成されている。SOI層3にはNチャネルMOSFET7が形成され、SOI層4にはPチャネルMOSFET10が形成されている。単結晶シリコン基板1上に埋め込み絶縁体層2を介してSOI層12, 13が形成され、SOI層12にはNチャネルMOSFET16が形成され、SOI層13にはPチャネルMOSFET19が形成されている。MOSFET16, 19にてバイアス電圧回路21が構成され、バイアス電圧回路21にてバイアス電圧が生成され、配線25を通して単結晶シリコン基板1にバイアス電圧が印加される。



【特許請求の範囲】

【請求項 1】 半導体基板上に絶縁体層を介して単結晶半導体層からなる MOSFET が配置され、少なくとも当該 MOSFET のチャネル領域に対向した前記絶縁体層内あるいは前記半導体基板に電極を配置し、当該電極にバイアス電圧を印加するようにした半導体装置において、
前記半導体基板上に絶縁体層を介して単結晶半導体層からなるバイアス電圧回路を形成し、当該バイアス電圧回路により前記バイアス電圧を生成するようにしたことを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、バイアス電圧回路は発振回路と当該発振回路の出力信号により駆動されるチャージポンプ回路を有することを特徴とする半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置において、前記電極と対向する位置での単結晶半導体層にモニタ用半導体素子を形成し、当該モニタ用半導体素子により前記バイアス電圧回路の出力電圧を制御するようにしたことを特徴とする半導体装置。

【請求項 4】 請求項 1 に記載の半導体装置において、前記バイアス電圧回路を MOSFET にて構成し、当該 MOSFET の少なくともチャネル領域に対向した前記絶縁体層内あるいは前記半導体基板に、前記バイアス電圧回路によりバイアス電圧が印加される電極と電氣的に分離した第 2 の電極を配置し、当該第 2 の電極を所定電位にしたことを特徴とする半導体装置。

【請求項 5】 請求項 4 に記載の半導体装置において、前記バイアス電圧回路によりバイアス電圧が印加される電極と対向する位置での単結晶半導体層にモニタ用半導体素子を形成し、当該モニタ用半導体素子により前記バイアス電圧回路の出力電圧を制御するようにしたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置に係り、特に SOI (Silicon On Insulator) 構造を採用した MOSFET を有する半導体装置に関するものである。

【0002】

【従来の技術】 従来より半導体装置の高速化・高集積化が進められる中で絶縁体上の単結晶シリコン層 (SOI 層) に形成した MOSFET の研究が行われている。特に、SOI 層の厚さが MOSFET のチャネル領域の最大空乏層幅よりも薄くチャネル形成時に SOI 層が完全に空乏化するような場合 (以下、これを薄膜 SOIMOSFET という) には、バルクシリコン基板上に形成した MOSFET に比べショートチャネル効果が制御できるとかチャネル中の垂直方向の電界が緩和されるため実効移動度が向上する等の優れた特性を示すことが知られ

ている。

【0003】 MOSFET を相補型 MOS 回路に適用する場合、MOSFET はノーマリーオフ (Nチャネル MOSFET のしきい値電圧が、正) 状態にあることが必要である。しかしながら、前記のような薄膜 SOIMOSFET で従来用いられている N⁺ ポリシリコンゲートを用いた Nチャネル薄膜 SOIMOSFET は、しきい値電圧が負となりやすく、エンハンスメント型 (ノーマリーオフ型) の MOSFET を形成することが難しかった。そこで、外部電源により基板に所定の電圧を印加し、しきい値電圧を制御していた。例えば、特開平 2 - 2 9 4 0 7 6 号公報では N 型基板 (P 型基板) に形成した Nチャネル MOSFET (Pチャネル MOSFET) 毎に絶縁体層を介して不純物拡散層からなる電極を設け、負電圧 (正電圧) を印加して MOSFET のしきい値電圧を制御している。

【0004】

【発明が解決しようとする課題】 ところが、この方法では外部電源に数ボルト程度の負電圧が必要となり、単電源 IC が構成できなかった。

【0005】 そこで、この発明の目的は、単一電源にて MOSFET に電圧を印加するとともに同 MOSFET のしきい値電圧を制御することが可能となる半導体装置を提供することにある。

【0006】

【課題を解決するための手段】 請求項 1 に記載の発明は、半導体基板上に絶縁体層を介して単結晶半導体層からなる MOSFET が配置され、少なくとも当該 MOSFET のチャネル領域に対向した前記絶縁体層内あるいは前記半導体基板に電極を配置し、当該電極にバイアス電圧を印加するようにした半導体装置において、前記半導体基板上に絶縁体層を介して単結晶半導体層からなるバイアス電圧回路を形成し、当該バイアス電圧回路により前記バイアス電圧を生成するようにした半導体装置をその要旨とする。

【0007】 請求項 2 に記載の発明は、請求項 1 に記載の半導体装置において、バイアス電圧回路は発振回路と当該発振回路の出力信号により駆動されるチャージポンプ回路を有する半導体装置をその要旨とする。

【0008】 請求項 3 に記載の発明は、請求項 1 に記載の半導体装置において、前記電極と対向する位置での単結晶半導体層にモニタ用半導体素子を形成し、当該モニタ用半導体素子により前記バイアス電圧回路の出力電圧を制御するようにした半導体装置をその要旨とする。

【0009】 請求項 4 に記載の発明は、請求項 1 に記載の半導体装置において、前記バイアス電圧回路を MOSFET にて構成し、当該 MOSFET の少なくともチャネル領域に対向した前記絶縁体層内あるいは前記半導体基板に、前記バイアス電圧回路によりバイアス電圧が印加される電極と電氣的に分離した第 2 の電極を配置し、

当該第2の電極を所定電位にした半導体装置をその要旨とする。

【0010】請求項5に記載の発明は、請求項4に記載の半導体装置において、前記バイアス電圧回路によりバイアス電圧が印加される電極と対向する位置での単結晶半導体層にモニタ用半導体素子を形成し、当該モニタ用半導体素子により前記バイアス電圧回路の出力電圧を制御しようとした半導体装置をその要旨とする。

【0011】

【作用】請求項1に記載の発明によれば、半導体基板上に絶縁体層を介して単結晶半導体層からなるバイアス電圧回路が形成される。そして、このバイアス電圧回路によりバイアス電圧が生成され、少なくともMOSFETのチャンネル領域に対向した絶縁体層内あるいは半導体基板に配置された電極にバイアス電圧が印加される。その結果、MOSFETのチャンネル領域のポテンシャル分布が変化して、しきい値電圧を所望の値に制御性よくシフトさせることができる。

【0012】このように、同一の半導体基板上に絶縁体層を介してMOSFETとバイアス電圧回路とが形成されるので、単一電源を用いてMOSFETに電圧を印加するとともに同MOSFETのしきい値電圧を制御することが可能となる。

【0013】請求項2に記載の発明によれば、請求項1に記載の発明の作用に加え、バイアス電圧回路の発振回路から発振信号が出力され、この信号によりチャージポンプ回路が駆動されて所望のバイアス電圧が生成される。このような簡単な回路にて昇圧回路が構成される。

【0014】請求項3に記載の発明によれば、請求項1に記載の発明の作用に加え、モニタ用半導体素子によりバイアス電圧回路の出力電圧が制御される。請求項4に記載の発明によれば、請求項1に記載の発明の作用に加え、バイアス電圧回路がMOSFETにて構成され、当該MOSFETの少なくともチャンネル領域に対向した絶縁体層内あるいは半導体基板に、バイアス電圧回路によりバイアス電圧が印加される電極と電気的に分離した第2の電極が配置され、当該第2の電極が所定電位にされる。よって、バイアス電圧回路のMOSFETが安定して動作する。

【0015】請求項5に記載の発明によれば、請求項4に記載の発明の作用に加え、バイアス電圧回路によりバイアス電圧が印加される電極と対向する位置での単結晶半導体層にモニタ用半導体素子が形成され、当該モニタ用半導体素子によりバイアス電圧回路の出力電圧が制御される。

【0016】

【実施例】

(第1実施例) 以下、この発明を具体化した第1実施例を図面に従って説明する。

【0017】図1に半導体装置の断面構造図を示す。半

導体基板としての単結晶シリコン基板1上にSiO₂からなる埋め込み絶縁体層2が配置され、その埋め込み絶縁体層2の上に単結晶半導体層としての薄膜の単結晶シリコン層(以下、SOI層という)3, 4が設置されている。SOI層3にはゲート酸化膜5を介してN⁺ポリシリコンゲート電極6を有するNチャンネルMOSFET7が形成されている。又、SOI層4にはゲート酸化膜8を介してN⁺ポリシリコンゲート電極9を有するPチャンネルMOSFET10が形成されている。SOI層3, 4の膜厚は、MOSFET7, 10のチャンネル領域の最大空乏層幅よりも薄く設定されており、チャンネル形成時には完全に空乏化する厚さになっている。又、NチャンネルMOSFET7とPチャンネルMOSFET10とからなるC-MOS回路11において、PチャンネルMOSFET10のソース電極Sには外部から電源電圧V_{DD}(例えば、3ボルト)が供給されるようになっている。

【0018】又、同一シリコン基板1上に同一埋め込み絶縁体層2を介してSOI層3, 4と同様に複数の単結晶半導体層としての薄膜の単結晶シリコン層(以下、SOI層という)12, 13が形成されている。SOI層12, 13には半導体素子が形成され、これらの素子はC-MOS回路11と共通の電源電圧V_{DD}から所望のバイアス電圧を発生させるバイアス電圧回路21の一部をなしている。例えば、図1においては、SOI層13にはゲート酸化膜17を介してN⁺ポリシリコンゲート電極18を有するNチャンネルMOSFET19が形成されている。SOI層12には酸化膜14を介して対向電極であるポリシリコン電極15を有するコンデンサ16が形成されている。MOSFET19は通常MOSFET7, 10と同時に形成されるため、SOI層13の膜厚は、MOSFET19のチャンネル領域の最大空乏層幅よりも薄く設定されており、チャンネル形成時には完全に空乏化する厚さとなるが、必ずしもSOI層13の膜厚は完全空乏化条件を満足する必要はなく、必要であればチャンネル領域の最大空乏層幅よりも厚く設定してもよい。又、コンデンサ16を形成するSOI層12のポリシリコン電極15と対向する領域には、ポリシリコン電極15に電圧が印加された際にもSOI層に空乏層が形成されないよう十分高濃度に不純物をドーピングしておく

と、コンデンサの容量を一定値に維持させておくことができる。このようにして、単結晶シリコン基板1上に絶縁体層2を介して薄膜の単結晶シリコン層からなるバイアス電圧回路21が形成されている。

【0019】SOI層3, 4, 12, 13上を含む埋め込み絶縁体層2上には層間絶縁膜22が形成されている。層間絶縁膜22にはバイアス電圧印加用開口部(コンタクトホール)23が形成されている。又、埋め込み絶縁体層2にはバイアス電圧印加用開口部(コンタクトホール)24が形成され、バイアス電圧印加用開口部23, 24は連通している。バイアス電圧回路21と単結

晶シリコン基板 1 とは、バイアス電圧印加用開口部 2 3, 24 内を延びる配線 25 にて電氣的に接続されている。

【0020】バイアス電圧回路 21 には、前述の C-MOS 回路 11 と共通の電源電圧 V_{DD} (例えば、3 ボルト) が外部から供給されるようになっており、バイアス電圧回路 21 と C-MOS 回路 11 とは共通電源 (単一電源) が用いられている。

【0021】そして、バイアス電圧回路 21 にて負の極性をもつバイアス電圧 V_B が生成され、そのバイアス電圧 V_B は配線 25 を通して電極として機能する単結晶シリコン基板 1 に印加される。このようにして、バイアス電圧回路 21 により負の極性をもつ基板バイアス電圧 V_B が印加される。尚、本実施例では、配線 25 が単結晶シリコン基板 1 と接触する領域に、シリコン基板 1 と同一導電型の高濃度不純物拡散領域 26 が形成され、高濃度不純物拡散領域 26 にてオーミックコンタクトがとられている。

【0022】ここで、単結晶シリコン基板 1 に負の電圧を印加する理由について説明する。図 2 には、N チャネル、P チャネル各 MOSFET 7, 10 のしきい値電圧 V_T と基板バイアス電圧 V_B との関係、即ち、しきい値電圧 V_T の基板バイアス電圧 V_B による依存性の一例を示す。ここで、N チャネル MOSFET 7 に関してはチャネル領域の不純物濃度を変化させて基板バイアス電圧 V_B が 0 ボルトの時のしきい値電圧 V_T を変えた 4 種類の MOSFET それぞれの特性が示してある。又、基板バイアス電圧 V_B に対するしきい値電圧 V_T の変化の割合は、埋め込み絶縁体層 2, SOI 層 3, 4, ゲート酸化膜 5, 8 の膜厚等に依存するが、図 2 においては一例としてそれぞれの膜厚が 370 nm, 85 nm, 16 nm の場合について示した。 $V_B = 0$ ボルトの時のしきい値電圧 V_T はチャネル領域での不純物濃度により変化させることも可能であるので、特性との兼ね合いで適当な不純物濃度とバイアス電圧との組み合わせから所望の V_T 値を選択すればよい。例えば、バイアス電圧 V_B が 0 ボルトの時に $V_T = 0.05$ ボルトの N チャネル MOSFET と $V_T = -0.89$ ボルトの P チャネル MOSFET の両方に -6 ボルトのバイアス電圧を印加すると、それぞれ $V_T = 0.37$ ボルト, $V_T = -0.43$ ボルトとなり、N チャネル MOSFET のしきい値電圧 V_T を大きくし、P チャネル MOSFET のしきい値電圧 V_T の絶対値を下げるができる。その結果、通常では使用できないしきい値電圧が「0」ボルト以下の N チャネル MOSFET あるいは正の小さな値 (0.3 ボルト程度以下) の N チャネル MOSFET を用いることができる。

【0023】尚、C-MOS 構成にした P チャネル MOSFET については、実際にチャネル領域に印加されるバイアス電位 V_B は電源電圧を V_{DD} とすると、 $V_B - V$

DD となることを考慮しておく必要がある。

【0024】ここで、単結晶シリコン基板 1 に印加する負電圧がある値を越えると SOI 層内での埋め込み絶縁体層側にチャネルが形成され MOSFET がノーマリーオン状態になってしまうため、バイアス電圧には下限があることになる。この値はいわゆるバックゲートの V_T 値であり、埋め込み絶縁体層, SOI 層, ゲート酸化膜の膜厚やチャネル領域での不純物濃度等に依存するが、図 2 に示した場合には -10 ボルト程度以下の値となる。又、バイアス電圧 V_B はその電圧を印加しない場合に比べ電圧印加による効果を発揮させるべく -2 ボルト以上必要である。これらの結果、バイアス電圧 V_B としては望ましくは -2 ~ -10 ボルト程度の値に設定される。このとき、外部に負電圧を印加するための別電源を設置することは全体の構成が複雑になり好ましくないが、ここで必要となる程度の負電圧は MOSFET を用いた昇圧回路により生成可能であることから、SOI 型 MOSFET 7, 10 を形成した同一基板 1 上に同様の SOI 型 MOSFET 16, 19 から構成されたバイアス電圧回路 21 を配置することにより、外部から印加する電圧としては単一電源にて動作させることが可能となる。

【0025】バイアス電圧回路 21 の具体的構成を、図 3 に示す。バイアス電圧回路 21 は、インバータを用いた CR 発振回路 27 とチャージポンプ回路 28 からなる。CR 発振回路 27 は、CR 発振器 29 とバッファ用インバータ 30, 31 とスイッチ 32 と周波数可変用抵抗 33 とスイッチ用インバータ 34 からなる。CR 発振器 29 は通常の CR 発振器であって、インバータ 35, 36, 37 とコンデンサ 38 と抵抗 39, 40 から構成されている。スイッチ 32 は制御電圧端子 Pcon からの制御電圧によりオン・オフする。制御電圧端子 Pcon からの制御電圧は、論理 Hi あるいは Low レベルの 2 値信号である。又、チャージポンプ回路 28 はダイオード 41, 42, 43, 44 とコンデンサ 45, 46, 47, 48 で構成され、負電圧出力端子 Pout から負の電圧を出力するようになっている。負電圧出力端子 Pout は図 1 に示す配線 25 と接続され、負電圧出力端子 Pout の負電圧は単結晶シリコン基板 1 へのバイアス電圧 V_B となる。

【0026】次に、このように構成したバイアス電圧回路 21 の動作を説明する。電源投入する以前においては、単結晶シリコン基板 1 の電位がグランド電位になっている。この状態から電源が投入されると (IC のスイッチがオンされると)、外部システムから制御電圧端子 Pcon に Hi レベル信号が入力される。すると、CR 発振回路 27 のスイッチ 32 は導通状態になり、CR 発振回路 27 は抵抗 40 と 33 との並列抵抗と、コンデンサ 38 との時定数で決定される周波数で高速に発振する。これにより、チャージポンプ回路 28 が高速に動作する

ため、負電圧出力端子 Pout からの負電圧出力は、グラ
ンドレベルから急速に負電圧に変化する。

【0027】そして、負電圧出力端子 Pout からの負電
圧出力が所定の電位になると、その時点で外部システム
から制御電圧端子 Pcon に Low レベル信号が入力され
る。その結果、スイッチ 32 は非導通状態になり、CR
発振回路 27 は抵抗 40 とコンデンサ 38 との時定数で
決定される低い周波数で発振する。これにより、チャ
ージポンプ回路 28 の負電圧出力端子 Pout からの負電圧
出力は維持されたまま発振周波数だけが低くなる。この
ように、負電圧出力端子 Pout からの負電圧出力が所定
の電位になると、制御電圧端子 Pcon に Low レベル信
号が入力されるので、バイアス電圧回路 21 における発
振による消費電流が増大することがない。つまり、チャ
ージポンプ回路 28 の負電圧出力が維持されたまま発振
周波数だけが低くなるので、発振による消費電力の低減
が図れる。

【0028】このように本実施例では、単結晶シリコン
基板 1 上に埋め込み絶縁体層 2 を介して SOI 層 3、4
からなる MOSFET 7、10 が配置され、少なくとも
MOSFET 7、10 のチャネル領域に対向した単結晶
シリコン基板 1 を電極として単結晶シリコン基板 1 にバ
イアス電圧 V_B を印加するようにした半導体装置におい
て、単結晶シリコン基板 1 上に埋め込み絶縁体層 2 を介
して SOI 層 12、13 からなるバイアス電圧回路 21
を形成し、バイアス電圧回路 21 によりバイアス電圧 V_B
を生成するようにした。よって、MOSFET 7、10
のチャネル領域のポテンシャル分布が変化して、しき
い値電圧 V_T を所望の値に制御性よくシフトさせること
ができる。このように、同一の単結晶シリコン基板 1 上
に同一の埋め込み絶縁体層 2 を介して MOSFET 7、
10 とバイアス電圧回路 21 とが形成されるので、単一
電源を用いて MOSFET 7、10 に電圧を印加すると
ともに同 MOSFET 7、10 のしきい値電圧を制御す
ることが可能となる。

【0029】又、バイアス電圧回路 21 は、CR 発振回
路 27 と CR 発振回路 27 の出力信号により駆動される
チャージポンプ回路 28 を有するものとした。よって、
簡単な回路にて昇圧回路を構成できる。

【0030】さらに、Nチャネル MOSFET 7 と Pチャ
ネル MOSFET 10 に同じバイアス電圧 V_B を印加
すればよいので、特開平 2-294076 号公報のよう
に各 MOSFET のチャネル部に独立した電極を設ける
必要がなくなる。より詳細には、N⁺ポリシリコンゲ
ート電極を用いた完全空乏型の SOI-MOSFET にお
いて、Nチャネル MOSFET 7 においてはエンハンス
メント型すなわち V_T の値を正にするためにはチャネル
領域の不純物濃度を高くする必要があり、このことはチャ
ネル移動度（キャリア移動度）の低下をもたらす。さら
に、不純物濃度が高くなるに伴って V_T の SOI 層膜

厚依存性が大きくなる。即ち、SOI 層の膜厚ばらつき
による V_T 値のばらつきが顕在化することになり、この
ことは種々の性能のばらつきにつながる。又、Pチャ
ネル MOSFET 10 において V_T の絶対値を小さくする
ためにはチャネル領域に P 型の不純物を添加していわけ
るアキュムレーションモードにする必要があるが、そ
の結果ショートチャネル効果の増大等の悪影響を招く。
これに対し、本実施例では、単結晶シリコン基板 1 に負
のバイアス電圧 V_B を印加することで、チャネル領域の
不純物濃度を低く保ちつつ、Nチャネル MOSFET 7
に対してはしきい値電圧 V_T を高くし、Pチャネル MO
SFET 10 に対してはしきい値電圧 V_T の絶対値を低
くできる。即ち、Nチャネル、Pチャネル各 MOSFE
T に共通な電圧を印加することにより、簡単な構造で V
 T 値の制御が可能となる。

【0031】尚、この実施例の応用として、次のような
態様にて具体化してもよい。即ち、前記実施例では C-
MOS 回路 11 (Nチャネル MOSFET 7 と Pチャ
ネル MOSFET 10) にバイアス電圧 V_B を印加する場
合について説明したが、C-MOS 回路 11 ではなく、
Nチャネル MOSFET のみ、あるいは、Pチャネル M
OSFET のみにバイアス電圧 V_B を印加する場合に具
体化してもよい。

【0032】さらに、MOSFET 7、10 の下方全体
にバイアス電圧を印加する必要はなく、MOSFET の
少なくともチャネル領域に対向した領域における単結晶
シリコン基板 1 にバイアス電圧を印加すればよい。

【0033】又、バイアス電圧回路 21 は MOSFET
によらずバイポーラトランジスタ等により構成してもよ
い。又、図 1 においてバイアス電極となる単結晶シリ
コン基板 1 の上の単結晶半導体層としての薄膜の単結晶
シリコン層 (SOI 層) にバイアス電圧 V_B の変化をモニ
タするためのモニタ用 MOSFET (モニタ用半導体素
子) を形成する。そして、このモニタ用 MOSFET を
有する制御電圧発生回路 54 をバイアス電圧回路 21 と
同様に同一単結晶シリコン基板 1 上に設け、図 3 に示
すように制御電圧発生回路 54 の出力信号を制御電圧端
子 Pcon に接続し、モニタ用 MOSFET 55 のしきい値
電圧に対応した信号により制御電圧を Hi, Low レ
ベルに切り替えてバイアス電圧回路 21 の発振周波数を
制御してもよい。その結果、外部システムからの制御電
圧信号は不要となる。

【0034】さらには、図 7 に示すように、モニタ用
MOSFET 55 のしきい値電圧に対応して Hi, Low
レベルに切り替えた制御電圧を AND ゲート 56 に印加
することにより、バイアス電圧回路の出力電圧を制御し
てもよい。その結果、バイアス電圧回路の出力電圧によ
って変化したモニタ用 MOSFET 55 のしきい値電圧
によりバイアス電圧回路の出力電圧をフィードバック制
御できる。即ち、同一基板上に形成した制御電圧発生回

路54によりバイアス電圧を確実に所定値に設定しC-MOS回路11を構成するMOSFETのしきい値電圧を所望の値に制御することができることになる。尚、バイアス電圧回路21は、モニタ用MOSFET55のしきい値電圧に応じてその出力電圧を制御可能な回路構成であれば、本実施例に示した回路構成以外の構成であってもよいことはいうまでもない。さらに、モニタ用半導体素子はMOSFETの他にもバイポーラトランジスタ等でもよい。

【0035】本実施例においては、バイアス電圧回路21は制御電圧信号により制御される構成としたが、特に必要がなければ本回路構成において発振周波数あるいは出力電圧を制御する機能を除いて、単に一定のバイアス電圧を発生させる回路構成としてもよいことはいうまでもない。

(第2実施例) 次に、第2実施例を第1実施例との相違点を中心に説明する。

【0036】図4に第2実施例を示す。本実施例では、C-MOS回路11に対応する位置に電極49を設けるとともに、バイアス電圧回路21に対応する位置に電極50を設けている。

【0037】具体的に説明していくと、絶縁体層2内におけるC-MOS回路11の下方には第1のバイアス電極49が埋設されているとともに、バイアス電圧回路21の下方には第2のバイアス電極50が前記第1のバイアス電極49とは電氣的に絶縁された状態で埋設されている。つまり、絶縁体層2内でのバイアス電圧回路21と対向した領域に配置された第2のバイアス電極50が、同一基板上のSOI型MOSFETからなるその他の半導体集積回路に対向した領域に配置された第1のバイアス電極49と電氣的に絶縁されている。本構造は、例えば公知のウエハ貼り合わせ法を用いたSOI基板の製造技術により、貼り合わせ前に例えばポリシリコンからなるバイアス電極49、50を形成しておくことにより実現することができる。

【0038】又、第1のバイアス電極49にバイアス電圧回路21によって発生された電圧が印加され、第2のバイアス電極50にはこれと異なる電圧、例えば接地電位(GND)に設定されている。この結果、バイアス電圧回路21に用いられるMOSFET16、19の V_T 値はバイアス電圧回路21の出力であるバイアス電圧 V_B の値にかかわらず一定の値に設定することができる。よって、バイアス電圧回路21のMOSFET16、19のしきい値電圧 V_T を固定できる。

【0039】又、第1のバイアス電極49と対向する位置での単結晶半導体層としての薄膜の単結晶シリコン層(SOI層)にバイアス電圧 V_B の変化をモニタするためのモニタ用MOSFET(モニタ用半導体素子)が形成されている。そして、このモニタ用MOSFETを有する制御電圧発生回路54を図3にて一点鎖線で示すよ

うに制御電圧ラインに設け、モニタ用MOSFET55のしきい値電圧に対応した信号により制御電圧をHi, Lowレベルに切り換えてバイアス電圧回路21の出力電圧を制御している。尚、モニタ用半導体素子はMOSFETの他にもバイポーラトランジスタ等でもよい。

【0040】このように本実施例では、単結晶シリコン基板1上に埋め込み絶縁体層2を介してSOI層12、13からなるバイアス電圧回路21を形成し、バイアス電圧回路21によりバイアス電圧 V_B を生成し、埋め込み絶縁体層2内の第1のバイアス電極49にバイアス電圧 V_B を印加するようにした。その結果、単一電源を用いてMOSFET7、10に電圧を印加するとともにMOSFET7、10のしきい値電圧を制御することが可能となる。

【0041】又、バイアス電圧回路21のMOSFET16、19の少なくともチャネル領域に対向した埋め込み絶縁体層2内に、バイアス電圧回路21によりバイアス電圧 V_B が印加される第1のバイアス電極49と電氣的に分離した第2のバイアス電極50を配置し、第2のバイアス電極50を所定電位にした。よって、バイアス電圧回路21のMOSFET16、19が安定して動作し、バイアス電圧回路21をバイアス電圧 V_B の影響を受けずに動作させることができる。

【0042】さらに、バイアス電圧回路21によりバイアス電圧 V_B が印加される第1のバイアス電極49と対向する位置でのSOI層にモニタ用MOSFETを形成し、モニタ用MOSFETによりバイアス電圧回路21の出力電圧を制御するようした。よって、バイアス電圧 V_B を確実に所定値にできる。

【0043】尚、本実施例の応用として、以下のような態様にて具体化してもよい。

(イ) 図5に示すように、実施してもよい。つまり、図4に示すようにC-MOS回路11とバイアス電圧回路21のそれぞれに対向する領域にシリコン基板1とは異なるバイアス電極49、50を配置するのではなく、図5に示すようにどちらか一方のバイアス電極として単結晶シリコン基板1をそのまま用いる。図5では、バイアス電圧回路21のためのバイアス電極として単結晶シリコン基板1を用いている。この場合、配線51が単結晶シリコン基板1と接触する領域にはオーミックコンタクト形成のため、シリコン基板1と同一導電型の高濃度不純物拡散領域52が形成されている。

(ロ) 図6に示すように、単結晶シリコン基板1内に異なる導電型の領域を設けてPN接合により2つの電極を分離してもよい。図6に示した場合には、バイアス電圧回路21によって発生された負電圧がC-MOS回路11に対向した位置に形成されたP型不純物拡散領域53に印加される。又、単結晶シリコン基板1としてN型基板を用いることによりバイアス電圧回路21に対向した位置はN型領域となる。このように、PN接合によりC

-MOS回路11とバイアス電圧回路21に対向した各領域を電氣的に分離することができる。尚、本実施例においてはN型基板を用いた例について示したが、同様にP型基板を用いることも可能である。この場合には、バイアス電圧回路21に対向した位置にN型不純物拡散領域を設けておく。基板すなわちP型領域であるC-MOS回路11に対向した位置に負電位を印加し、バイアス電圧回路21に対向したN型領域には接地電位である0ボルトを印加する。C-MOS回路11領域よりもバイアス電圧回路21領域の方が面積が小さい場合には、P型基板を用いた場合の方がPN接合面積が小さくなるのでPN接合の逆方向リーク電流を低減できる。尚、バイアス電圧が正の場合には、図6に示した領域53、及び単結晶シリコン基板1の導電型をそれぞれ図6と逆の導電型にすればよい。

(ハ) 図4においてC-MOS回路11(NチャネルMOSFET7とPチャネルMOSFET10)にバイアス電圧 V_B を印加する場合について説明したが、C-MOS回路11ではなく、NチャネルMOSFETのみ、あるいは、PチャネルMOSFETのみにバイアス電圧 V_B を印加する場合に具体化してもよい。

(ニ) 図4においてMOSFET7, 10の下方全体にバイアス電圧を印加する必要はなく、MOSFETの少なくともチャネル領域に対向した領域に第1のバイアス電極49を配置し、同電極49にバイアス電圧を印加すればよい。

(ホ) バイアス電圧回路21はMOSFETによらずバイポーラトランジスタ等により構成してもよい。

(ヘ) 図4, 5, 6においてはバイアス電圧回路21の下方全体にバイアス電極(50, 1)を配置したが、バイアス電圧回路21のMOSFET16, 19の少なくともチャネル領域に対向した領域にバイアス電極(50, 1)を配置すればよい。

【0044】

【発明の効果】以上詳述したように請求項1に記載の発明によれば、単一電源にてMOSFETに電圧を印加するとともに同MOSFETのしきい値電圧を制御することが可能となる優れた効果を発揮する。

【0045】請求項2に記載の発明によれば、請求項1に記載の発明の効果に加え、簡単な回路構成することができる。請求項3に記載の発明によれば、請求項1に記載の発明の効果に加え、バイアス電圧を確実に所定値にすることができる。

【0046】請求項4に記載の発明によれば、請求項1に記載の発明の効果に加え、バイアス電圧回路のMOSFETを安定して動作させることができる。請求項5に記載の発明によれば、請求項4に記載の発明の効果に加え、バイアス電圧を確実に所定値にすることができる。

【図面の簡単な説明】

【図1】第1実施例の断面構造図である。

【図2】バイアス電圧としきい値電圧との関係を示す特性図である。

【図3】バイアス電圧回路のブロック図である。

【図4】第2実施例の断面構造図である。

【図5】第2実施例の応用例の断面構造図である。

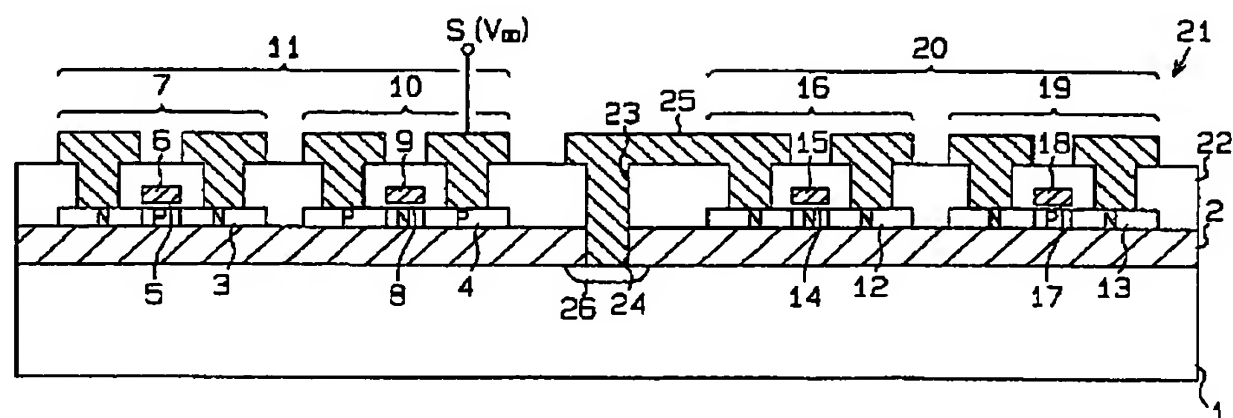
【図6】第2実施例の他の応用例の断面構造図である。

【図7】バイアス電圧回路のブロック図である。

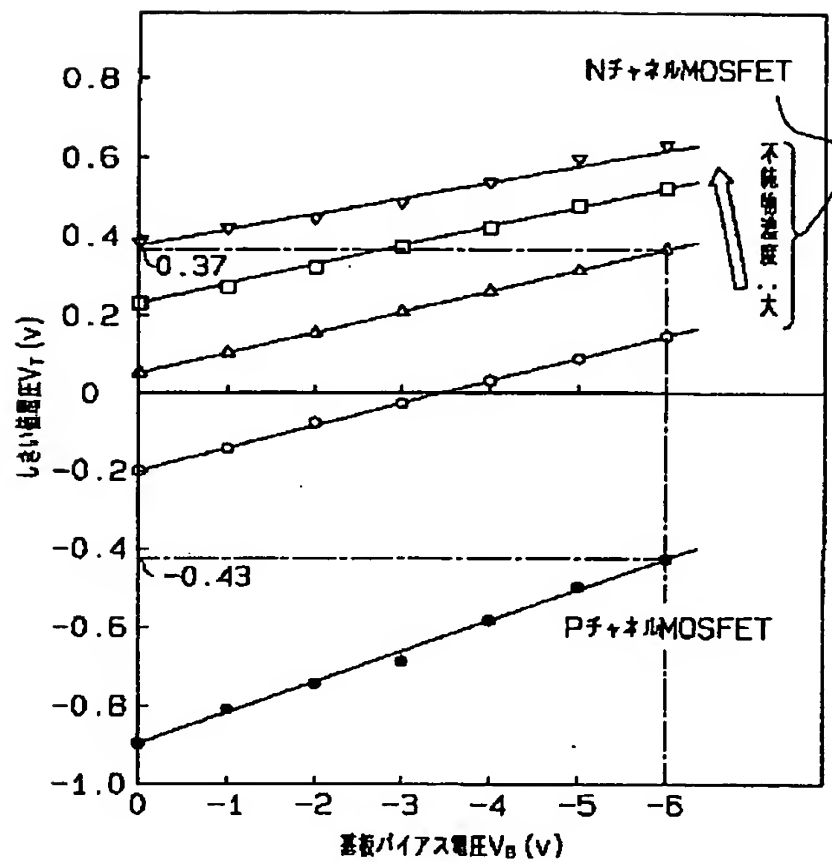
【符号の説明】

1…単結晶シリコン基板、2…埋め込み絶縁体層、3…SOI層、4…SOI層、7…NチャネルMOSFET、10…PチャネルMOSFET、12…SOI層、13…SOI層、16…NチャネルMOSFET、19…PチャネルMOSFET、PチャネルMOSFET、21…バイアス電圧回路、27…CR発振回路、28…チャージポンプ回路、49…第1のバイアス電極、50…第2のバイアス電極、55…モニタ用MOSFET

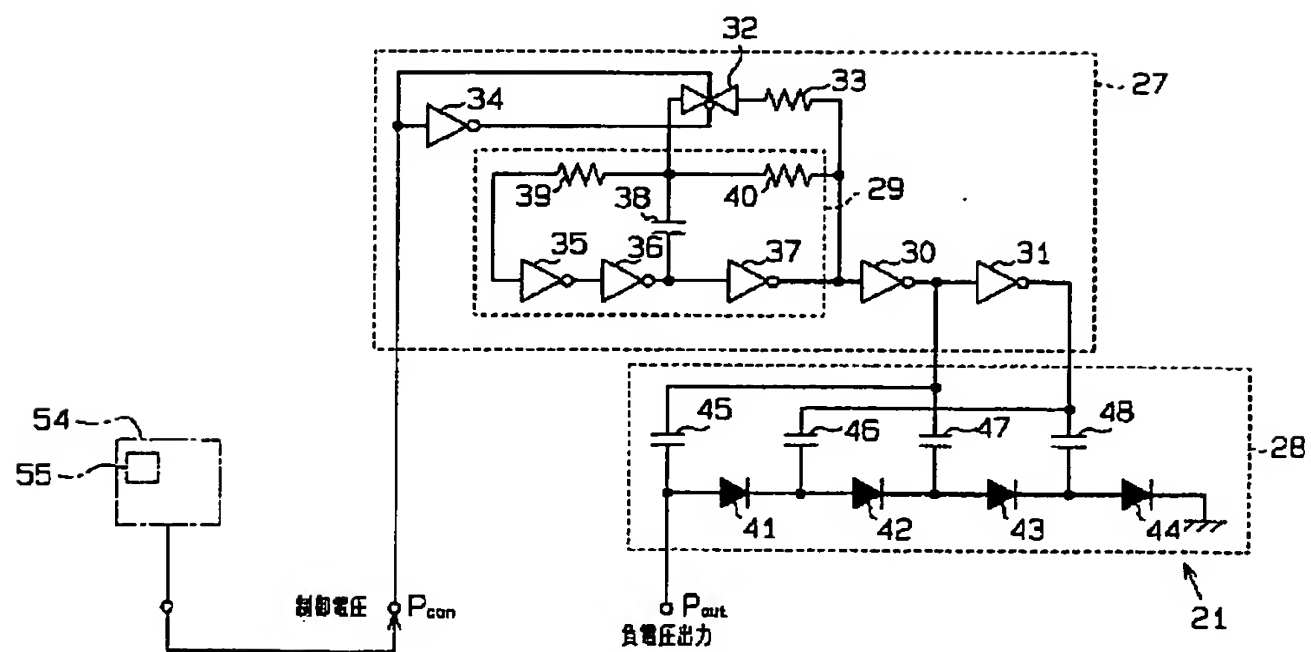
【図1】



【図2】



【図3】

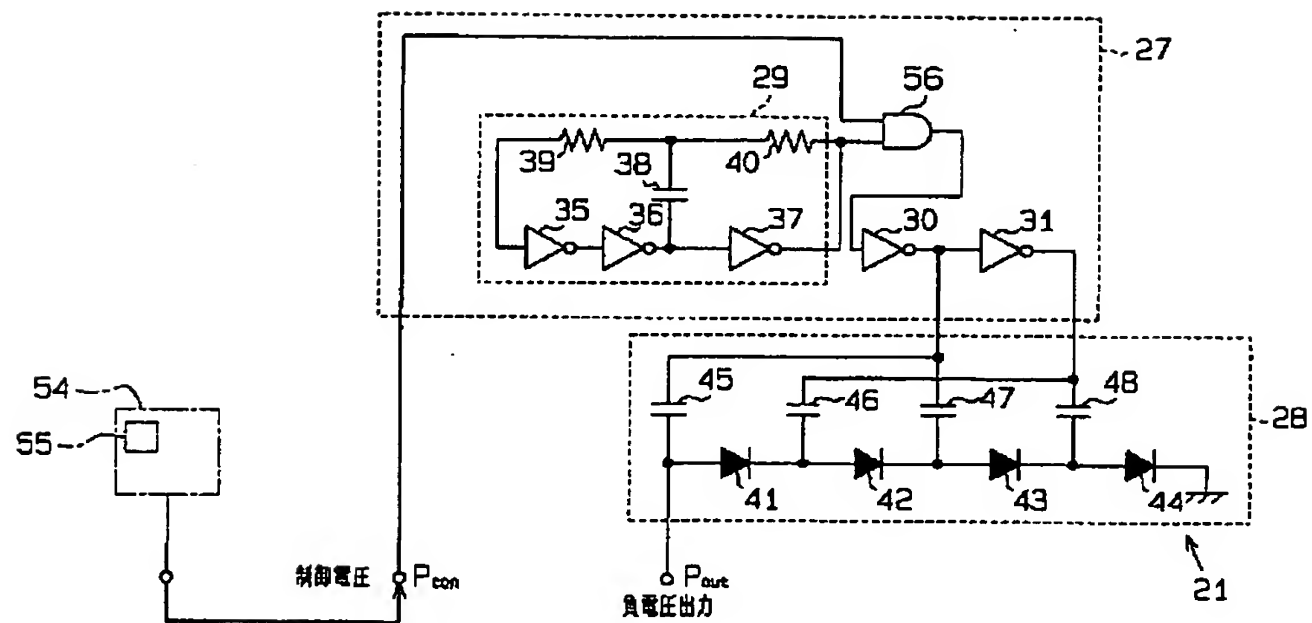


A detailed cross-sectional view of a semiconductor device. The device features a substrate (1) with a thin layer (2) on top. A series of gate structures are formed on the substrate, each consisting of a gate stack (3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25) and a gate electrode (26). The gate stacks are separated by spacers (27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50). The gate electrodes are labeled with 'N' and 'P' regions. The device is shown in a cross-section with various layers and regions labeled with numbers and letters.

A detailed cross-sectional view of a semiconductor device. The structure is built on a substrate 1. A thin layer 2 is on top of the substrate. Above this, there are several regions labeled with numbers and letters. On the left, there are regions 5 and 3. Above them are regions 6 and 7, and 9 and 10. Below these are regions labeled N, P, N, P, N, P. In the center, there is a region 24. To its right are regions 14 and 12. Above them are regions 15 and 16, and 18 and 19. Below these are regions labeled N, N, N, N, N, P, N. On the far right, there is a region 52. Above it are regions 23 and 25, and 51 and 22. A bracket 20 spans the central part of the device. A bracket 11 spans the left part. A bracket 19 spans the right part. A bracket 16 spans the central part. A bracket 10 spans the left part. A bracket 7 spans the left part. A bracket 21 points to the right side of the device. A bracket 52 is at the bottom right.

A detailed cross-sectional view of a semiconductor device. The substrate is labeled 1. A base layer is labeled 2. A series of gates are formed on the surface, labeled 3, 4, 5, 8, 9, 10, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 51, and 52. The gates are formed by a sequence of layers: a bottom layer (N or P), a middle layer (N or P), and a top layer (N or P). The gates are separated by spacers. The device includes a series of contacts, labeled 53 and 54, which are formed by a sequence of layers: a bottom layer (N or P), a middle layer (N or P), and a top layer (N or P). The contacts are separated by spacers. The device is shown in a cross-sectional view, with the substrate at the bottom and the gates and contacts on top.

【図 7】



フロントページの続き

(72)発明者 松本 宗昭
 愛知県刈谷市昭和町 1 丁目 1 番地 日本電
 装 株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.